

⑫ 公開特許公報(A) 平3-228429

⑤ Int. Cl.⁵
H 03 K 19/018

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月9日

8941-5J H 03 K 19/092

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 ECL-CMOSレベル変換回路

⑮ 特 願 平2-24104

⑯ 出 願 平2(1990)2月1日

⑰ 発 明 者 及 川 尚 人 東京都港区芝5丁目33番1号 日本電気株式会社内
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑲ 代 理 人 弁理士 内 原 晋

明 細 書

ECL-CMOSレベル変換回路。

1. 発明の名称

ECL-CMOSレベル変換回路

3. 前記第1及び第2の電圧変化手段がダイオード素子から成ることを特徴とする請求項1又は2記載のECL-CMOSレベル変換回路。

2. 特許請求の範囲

1. 差動増幅回路により入力段を構成し、エミッタホロフにより出力段を構成するECL-CMOSレベル変換回路において、前記出力段と出力端子の間に高電位側電源電圧より前記エミッタホロフを構成するトランジスタの順方向ベース・エミッタ電圧の整数倍電圧降下させる第1の電圧変化手段と、前記出力端と低電位側電源との間に低電位側電源電圧より前記トランジスタの順方向ベース・エミッタ電圧の整数倍上昇させる第2の電圧変化手段を含むローレベルクランプ回路を設けたことを特徴とするECL-CMOSレベル変換回路。

2. 前記出力段の前段に前記ローレベルクランプ回路を設けたことを特徴とする請求項1記載の

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はECLレベル入力信号をCMOSレベル信号に変換するECL-CMOSレベル変換回路に関する。

〔従来の技術〕

従来、この種のECL-CMOSレベル変換回路として、第5図に示す回路が用いられていた。すなわち、バイポーラ・トランジスタQ208、Q209により構成される差動増幅器の出力をエミッタホロフで受け、さらにそれに続く抵抗R201によってレベルシフトを行なうものである。回路を構成する抵抗を適当に選択することにより、振幅の中心を電源電圧差(以下、 $V_{cc}-V_{ss}$ と略す)のおよそ半分に設定することが可能である。

〔発明が解決しようとする課題〕

上述した従来のECL-CMOSレベル変換回路は、エミッタホロワとそれに続く抵抗により構成されているため、この抵抗と、このレベルシフト回路の負荷となるCMOS回路の入力容量との積に比例した遅れが生じてしまうという欠点がある。また、抵抗の比によって出力の振幅の中心を $\pm(V_{cc}-V_{ss})$ に設定しているため、抵抗およびトランジスタの順方向ベース・エミッタ間電圧(以下 V_{BE} と略す)のばらつきによって $\pm(V_{cc}-V_{ss})$ からずれる欠点がある。

本発明の目的は、出力の振幅を固定することができるECL-CMOSレベル変換回路を提供することにある。

〔課題を解決するための手段〕

本発明のECL-CMOSレベル変換回路は差動増幅回路により入力段を構成し、エミッタホロワにより出力段を構成するECL-CMOSレベル変換回路において、前記出力段と出力端子の間に高電位側電源電圧より前記エミッタホロワを構

成するトランジスタの順方向ベース・エミッタ電圧の整数倍電圧降下させる第1の電圧変化手段と、前記出力端と低電位側電源との間に低電位側電源電圧より前記トランジスタの順方向ベース・エミッタ電圧の整数倍上昇させる第2の電圧変化手段を含むローレベルクランプ回路を設けたことを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の第1の実施例を示す回路図である。同図に示すように、ECLレベル入力端子(+)3はNPNトランジスタQ106のベースに接続され、ECLレベル入力端子(-)4はNPNトランジスタQ105のベースに接続されている。トランジスタQ103及びQ104により差動増幅回路を形成しており、それぞれのトランジスタが飽和しないようなベース電圧を供給するため、トランジスタQ105、抵抗R103、ダイオードD105と、トランジスタQ106、抵抗R104、ダイオードD106によりレベルシフトを行なっている。

差動増幅回路の出力と高電位側電源端子1間に抵抗R101が設けられ、その抵抗によって生じる電圧がベースに供給されるトランジスタQ102が高電位側電源端子1とCMOSレベル出力端子2の間に設けられている。このトランジスタQ102とCMOSレベル出力端子2の間には、トランジスタQ102の V_{BE} の整数倍、本実施例では V_{BE} の電圧降下を生じるダイオードD104が設けられている。

高電位側電源端子1とCMOSレベル出力端子2間にはトランジスタQ101が設けられ、そのベースと低電位側電源端子0間にはトランジスタQ101の V_{BE} の整数倍、本実施例では V_{BE} の電圧降下を生じる3つのダイオードD101、D102、D103を直列接続して、ローレベルクランプ回路を構成している。

次に本実施例の動作を説明する。まずECLレベル入力端子(+)3にデジタル信号のハイレベルが入力した場合、ECLレベル入力端子(-)4にはデジタル信号のロウレベルが入力している。こ

の状態ではトランジスタQ104はオンし、トランジスタQ103はオフしているため、電流源C103による電流はほとんどがトランジスタQ104を流れているため、抵抗R101による電圧降下はほとんど起こらずCMOSレベル出力端子2には、高電位側電源電圧 V_{cc} よりトランジスタQ102の V_{BE} とダイオードD102の V_{BE} だけ降下した電圧が得られる。つまりCMOSレベル出力端子の電圧を V_{out} とすると、

$$V_{out} = V_{cc} - 2V_{BE} \quad \dots\dots ①$$

となる。

次に、ECLレベル入力端子(+)3にデジタル信号のロウレベルが入力した場合、ECLレベル入力端子(-)4にはデジタル信号のハイレベルが入力している。この状態ではトランジスタQ104はオフしており、トランジスタQ103はオンしているため、電流源C103による電流はほとんどがトランジスタQ103を流れているため、抵抗R101による電圧降下が起こる。この電圧降下がトランジスタQ101をオンさせるのに十分

大きいように設定すると、つまり、抵抗 $R101$ による電圧降下が $V_{cc} - V_{ss} - 2V_{BE}$ よりも大きいように $C103$ の電流値と $R101$ の抵抗値を設定することによりトランジスタ $Q102$ がオフし、一方、トランジスタ $Q101$ がオンするため、CMOS レベル出力端子 2 には、ダイオード $D101 \sim D103$ による電圧降下 $3V_{BE}$ から、トランジスタ $Q101$ の V_{BE} を差し引いた電圧 $2V_{BE}$ だけ低位側電源電圧 V_{ss} より大きい電圧が発生し、それより低くはならない。つまりロウレベル時の出力電圧 V_{out} は

$$V_{out} = V_{ss} + 2V_{BE} \quad \dots\dots ②$$

と固定される。

①式と②式より電源電圧と出力電圧の関係を第4図に示す。この図より、トランジスタの V_{BE} の整合がとれていれば電源電圧が変動しても、出力振幅の中心を電源電圧の半分つまり $\frac{1}{2}(V_{cc} - V_{ss})$ に固定することができる。

なお、ここで説明したダイオードはトランジスタをダイオード接合したもので同様な効果が得られる。

は正の整数)の電圧を出力するようにトランジスタ及びダイオードを構成することにより、出力電圧の中心が電源電圧に依らずに $\frac{1}{2}(V_{cc} - V_{ss})$ に固定できる効果がある。また、出力段に抵抗を用いていないため高速でCMOS回路をドライブできる効果がある。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す回路図、第2図は本発明の第2の実施例を示す回路図、第3図は本発明の第3の実施例を示す回路図、第4図は本発明のECL-CMOSレベル変換回路の動作を説明するための図、第5図は従来例を示す回路図である。

$Q101 \sim Q106$, $Q201 \sim Q211$, $Q301 \sim Q307$, $Q401 \sim Q404$ ……NPNトランジスタ、 $D101 \sim D106$, $D201$, $D202$, $D301 \sim D303$, $D401 \sim D405$ ……ダイオード、 $R101 \sim R104$, $R201 \sim R210$, $R301 \sim R306$, $R401 \sim R404$ ……抵抗、

第2図は本発明の第2の実施例を示すECL-CMOSレベル変換回路の回路図である。 $R301$ と $R302$ の抵抗値は4:1に設定されており、トランジスタ $Q302$ のベース電圧には $(V_{ss} + 5V_{BE})$ の電圧がかかっている。出力電圧がロウレベル時にオンするトランジスタ $Q301$ をエミッタホロワの前段に設けたことにより、ロウレベル時には $Q304$ による引き込みが起こり、より高速な動作が可能となる。

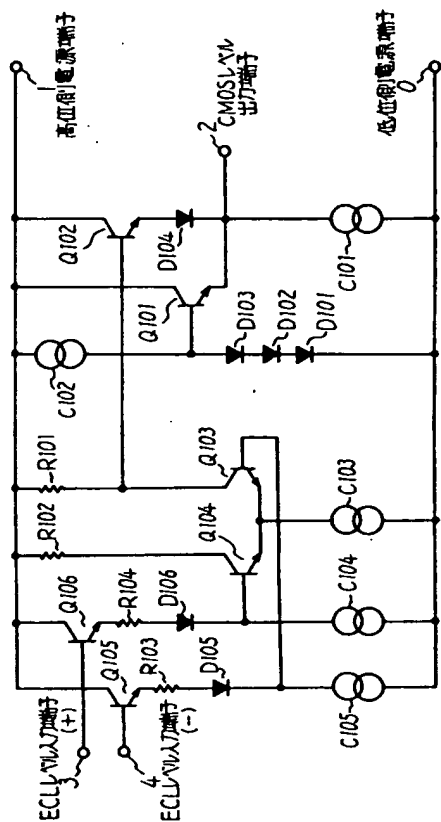
第3図は本発明の第3の実施例を示すECL-CMOSレベル変換回路の回路図である。出力電圧がロウレベル時にはオンするトランジスタ $Q401$ のベース電圧は $(V_{ss} + 3V_{BE})$ の電圧がかかっており、出力電圧は、ハイレベル時に $V_{cc} - V_{BE}$, ロウレベル時に $V_{ss} + V_{BE}$ となっている。本実施例は第2の実施例に比べ素子数が少ないという利点がある。

〔発明の効果〕

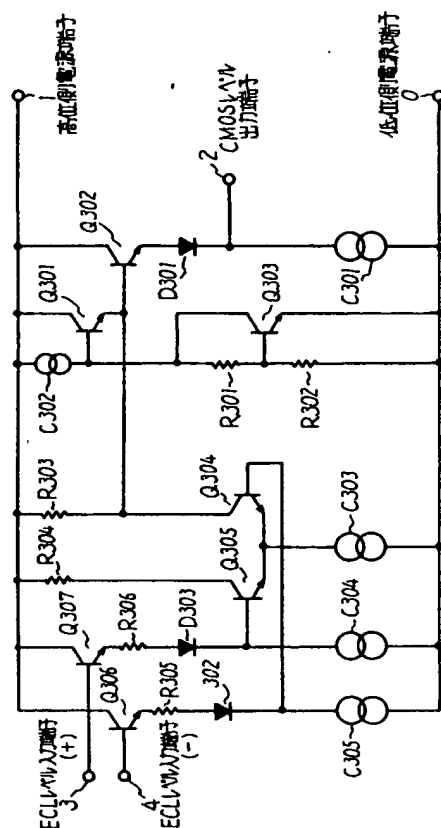
以上説明したように本発明は、ハイレベル時に $V_{cc} - nV_{BE}$, ロウレベル時に $V_{ss} + nV_{BE}$ (n

$C101 \sim C105$, $C201 \sim C202$, $C301 \sim C305$, $C401 \sim C404$ ……電流源、0 ……低位側電源端子、1 ……高位側電源端子、2 ……CMOSレベル出力端子、3 ……ECLレベル入力端子(+), 4 ……ECLレベル入力端子(-)。

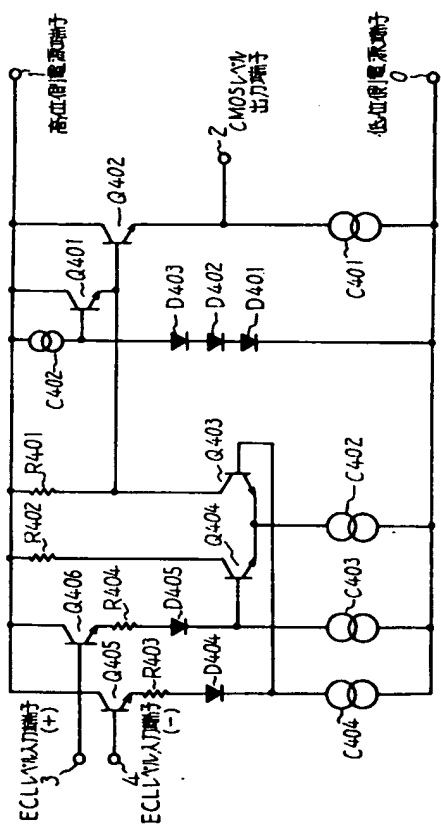
代理人 弁理士 内 原 晋



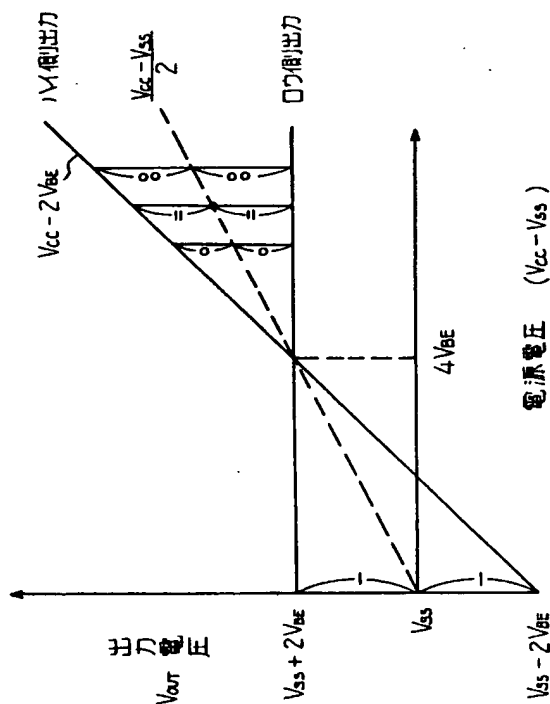
第 1 図



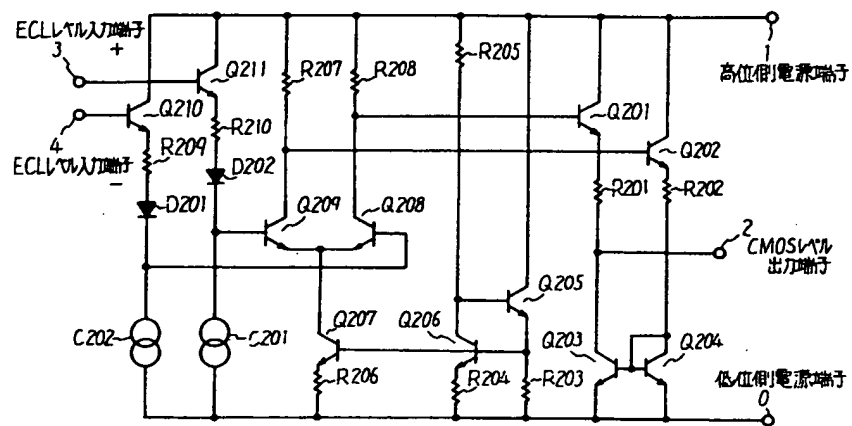
第 2 図



第 3 図



第 4 図



第 5 図